

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-072555

(43)Date of publication of application : 26.03.1993

(51)Int.Cl.

G02F 1/136

H01L 27/12

H01L 29/784

(21)Application number : 03-235096

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.09.1991

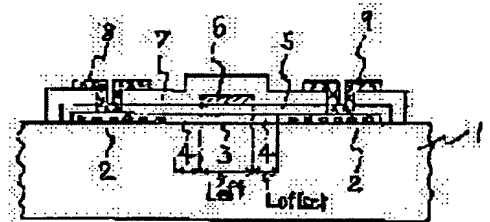
(72)Inventor : MATSUO MUTSUMI

(54) THIN-FILM TRANSISTOR

(57)Abstract:

PURPOSE: To improve the holding characteristic and writing characteristic of a high-fineness active matrix liquid crystal panel by specifying the length in the channel direction of high-resistance impurity regions to 0.1 to 1. μ m.

CONSTITUTION: An insulating substrate 1, such as quartz substrate or glass substrate, and polycrystalline silicon thin films 2 to 4 are provided. The polycrystalline silicon thin films 2 are low-resistance impurity regions to constitute source and drain regions when boron is used as an impurity in the case of a P type and a phosphorus atom in the case of an N type according to the polarities of the transistors. The polycrystalline silicon thin films 3 are active regions (channel regions) where a slight amt. of the P type or N type impurity is doped or is used usually in an intrinsic state. The polycrystalline silicon thin films 4 are the high-resistance impurity regions which are called LDD regions. The length (Loffset) in the channel direction of the LDD regions is specified to 0.1 to 1. μ m. Then, the IOFF decreased and ION increases.



LEGAL STATUS

[Date of request for examination] 10.08.1998

[Date of sending the examiner's decision of rejection] 30.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] withdrawal

[Date of final disposal for application] 16.04.2001

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-72555

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/138	5 0 0	9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 S

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平3-235096

(22)出願日 平成3年(1991)8月13日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 松尾 睦

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

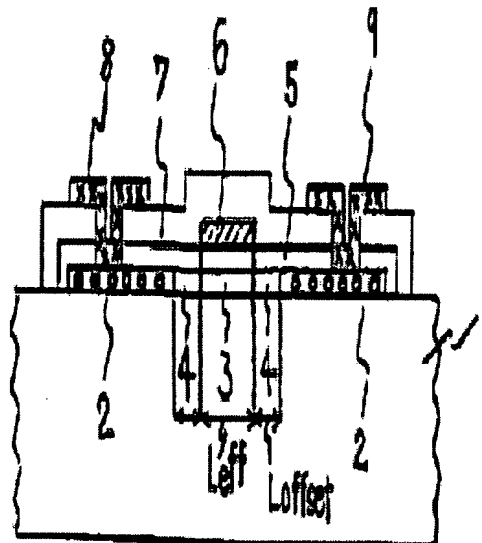
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 薄膜トランジスター

(57)【要約】

【目的】 高格細アクティブマトリックス液晶パネルの保持特性・書き込み特性のすぐれた、すなわち I OFF が小さく、I ON が大きい LDD 構造の薄膜トランジスターを提供する。

【構成】 LDD 構造のパラメータとして、LDD 領域の長さ (Loffset) と LDD 領域の不純物濃度 (比抵抗) と、ゲートチャンネル長 (Left) と限定した。



【特許請求の範囲】

【請求項 1】絶縁性基板上に多結晶シリコン薄膜からなる能動領域と、低抵抗不純物領域からなるソース・ドレイン領域と、前記能動領域とソース・ドレイン領域を連結する高抵抗不純物領域からなる薄膜トランジスタにおいて、前記高抵抗不純物領域のチャンネル方向の長さを0.1～1 μ mとしたことを特徴とする薄膜トランジスタ。

【請求項 2】前記高抵抗不純物領域は、イオン注入法でドーパ量を 1×10^{13} cm⁻²以下とする（イオン注入無しを含む）ことを特徴とする請求項 1 記載の薄膜トランジスタ。

【請求項 3】能動領域のゲート長を5 μ m以下とすることを特徴とする請求項 1 記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタの構造に関する。

【0002】

【従来の技術】近年、絶縁性基板上に形成される薄膜トランジスタ（以下TFTと略す）は、アクティブマトリックス液晶表示装置の画素駆動用素子に用いられてきた。薄膜として多結晶シリコンを用いると、高い移動度が得られ、薄膜回路を構成できるという長所があるため、ドライバ内蔵アクティブ小型液晶パネルが、電子式ビューファインダーとして、試作または、量産されつつある。しかし、多結晶シリコンTFTは、オフリークが高いため、電荷の保持特性がやや悪く非常に小さな画素の駆動には難があった。これを解決すべく、オフリークを下げる構造として、高抵抗不純物領域をソース・ドレイン領域と、チャンネル領域の間に介在させたLDD（light-doped-drain）構造が提案され、研究されてきた。

【0003】文献 S I D 9 0 D I G E S T (p311～314)において、多結晶シリコンを用いたN型TFTの特性が示されている。LDD構造のTFTの特徴は、あるLDDの濃度の時に、ON・OFF比がピークになることである。その原因は、高濃度だと、OFFが増加し、低濃度だとONが減少することによる。

【0004】

【発明を解決しようとする課題】前記文献は、画素が250 μ m \times 40 μ m（40mm/160画素）と大きいので、ON・OFF比の高い条件が好ましいが、超小型高精細パネルを実現するためには画素が数10 μ mと小さく、電荷の保持が困難であるため、OFFを著しく下げ一方ONをほぼ同程度に維持する必要がある。

【0005】そこで本発明は、以上の如き欠点をなくし、OFFの低下とONの維持を可能とするLDD構造のTFTを提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の薄膜トランジスタは、絶縁性基板上に多結晶シリコン薄膜からなる能動領域と低抵抗不純物領域からなるソース・ドレイン領域と、前記能動領域とソース・ドレイン領域を連結する高抵抗不純物領域からなる薄膜トランジスタにおいて、前記高抵抗不純物領域のチャンネル方向の長さを0.1～1 μ mとしたことを特徴とする。

【0007】

【実施例】本発明の薄膜トランジスタは、図1の構造をしている。1は、石英基板またはガラス基板といった絶縁性基板である。2、3、4は、多結晶シリコン薄膜であり、2は、低抵抗不純物領域であり、トランジスタの極性によりP型であれば、ボロン、N型であればリン原子が不純物として使われ、ソース・ドレイン領域となる。3は、能動領域（チャンネル領域）であり、微量のP型又はN型不純物をドーパするか、真性状態で通常用いる。4は、高抵抗不純物領域であり、LDD領域と呼ばれる。3、4の領域のチャンネル方向の長さは、それぞれLeft、Loffsetと図内に明記した。5は、二酸化シリコン膜等のゲート絶縁膜であり、6は、低抵抗多結晶シリコン膜、又は金属膜等からなるゲート電極である。7は、層間絶縁膜であり、8、9は、ソース・ドレイン電極である。8、9のどちらかを、ソース線（データ線）、他方を画素電極（透明電極）とすれば、TFTは画素駆動用のスイッチ素子となる。

【0008】ION、IOFFを制御するパラメータは、LDD領域の長さ（Loffset）とLDD領域の不純物濃度（比抵抗）とチャンネル長（Left）である。

【0009】図2は、TFTのION、IOFFのLoffset依存性を示す図である。TFTは、N型ソースドレイン領域と、真性高抵抗能動領域からなるNchである。構造パラメータはLeft=4 μ m、チャンネル幅W=40 μ mであり、真性多結晶シリコン薄膜1000Åを熱酸化（酸化膜厚1200Å）して形成する。21、23は、VGS=10V、VDS=40のION曲線である。22、24は、VGS=-5V、VDS=8VのIOFF曲線である。21、22は、H2プラズマアニール前の特性であり、23、24は、H2プラズマ後の特性である。IONについていえば曲線21において、Loffsetが1 μ m以上になるとLDD領域の電圧降下が大きくバラツキが増えIONが低下して実用レベルにないが、H2プラズマ処理によりIONは向上しバラツキは半減する。IOFFについては、Loffsetが負側すなわち、ゲート電極とソース・ドレイン電極がオーバーラップしているときバラツキが大きく、LDD領域ができたら（Loffsetが正側）はバラツキが小さくなり一定となる。特にH2プラズマ処理によりIOFFの低下は著しく、高精細画素の保持特性は十分改善される。

【0010】図3は、TFTの、ION、IOFFのLDD領域の不純物濃度依存性を示す図である。不純物濃度

は、イオン注入法によるリン原子のドーピング量を制御した。Loffset は、0、5 μ mである。31、33は、1ON曲線、32、34は1OFF曲線である。31、32はH2プラズマ前、33、34はH2プラズマ後の特性である。1OFFは1 \times 10¹³cm⁻²以下が小さく、1ONは1 \times 10¹³以上が、ほぼ一定となる。ON/OFF比では1 \times 10¹³cm⁻²近傍が極大となるが、高精細画素については書き込み特性は多少犠牲にしても、保持特性を優先するため、1 \times 10¹³cm⁻²以下が好ましい。

【0011】図7は、LDD構造のTFTのVDS=8VのVGS-VDS曲線である。Loffset=0、5 μ m、LDD領域は真性半導体状態である。71は、H2プラズマ処理前、72はH2プラズマ処理後である。曲線71は、1OFF領域(VGS負側)でフラットであり、1ON領域で、バラツキが大きい。曲線72は、OFFの値以下と、バラツキの少なく、従来構造以上の高い1ONが得られている。

【0012】図4は、TFTの1OFF(VGS=0V、VDS=18V)のゲート長依存性を示す図である。41は、ゲート電極とソース・ドレイン電極がオーバーラップしている従来構造の場合であり、42は、LDD領域Loffset=0、5 μ m、ドーピングなしのH2プラズマ処理後の本発明の構造である。実際LDD構造のTFTでC-MOS駆動回路を構成する場合、同一の消費電流を得るのに、ゲート長を、3-4 μ m短くすることが可能になる。従来構造で駆動回路を構成する場合、PchTFTが4-5 μ m、NchTFTが5-6 μ mがゲート長の下限になる。したがって、C-MOS駆動回路の一段分を、画素ピッチに対応させれば5 μ mルールで、ピッチ40 μ mが下限となり、それ以下は、駆動回路の集積が困難であった。本構造は、ゲート長を短くできるため、2 μ mルールの高集積化が可能となり、20 μ mピッチが可能となる。

【0013】LDD構造において、H2プラズマ処理は著しい1OFFの低下と1ONの向上をもたらす。具体的H2プラズマ処理としては、加熱温度300℃、H2ガス圧1、2torr、H2ガス流量600SCCM、RFパワー500Wで行なった。

【0014】図5は、本LDD構造のプロセスチャートである。透明石英基板51上に、減圧CVD法により、600℃で多結晶シリコン薄膜52を1000Å堆積し、孤立パターンを形成する。次に、1100℃でドライ酸化し、1200Åの熱酸化シリコン膜53を形成する。次に、減圧CVD法により、4000Åの不純物ドーパされた多結晶シリコン膜54を堆積し、レジスト55によりゲート電極パターンを形成し、それをマスクに、リン原子56を1 \times 10¹⁵cm⁻²、90KeVで注入し、ソース・ドレイン領域57を形成する。次に、ゲート多結晶シリコン膜をフロンガスでオーバーエッチし、レジストをはくりする。サイドオーバーエッチ量

が、LDD領域のLoffsetとなり、Loffset量は、ゲート電極パターンに対し自己整合的であるため、面内均一になる。さらにこの段階で、リン原子のイオン打込みをソース・ドレイン領域よりも低濃度に行なえばLDD領域が形成される。次に、層間絶縁膜58を堆積し、活性化アニール後コンタクトホールを開孔してソース・ドレイン電極59、60を形成すれば、完成する。H2プラズマ処理は、活性化アニール後ならば、いつ行なってもよい。

【0015】図6は、別のLDD構造のプロセスチャートである。図5とは、LDD領域の形成の方法が若干異なり、1CのLDDトランジスターの形成方法と類似する。すなわち、ゲート電極61をパターン形成後、絶縁膜を1 μ m堆積し、異方性ドライエッチ法で、側壁絶縁膜61を形成する。LDD領域に低濃度のドーピングする場合は、ゲート電極形成直後に、リンのイオン打込みをすればよい。次に側壁絶縁膜とゲート電極をマスクに、リン原子63のイオン打込みを行ない、ソース・ドレイン領域64を形成する。LDD領域は、側壁絶縁膜61直下に形成される。次に、層間絶縁膜65を堆積し、活性化アニール後、コンタクトホールを開孔し、ソース・ドレイン電極66、67を形成すれば完成する。

【0016】この他にも、LDD構造のつくり方は種々あるが、LDD部の長さLoffsetの量を均一にすることが重要であるため、ゲート電極に対して自己整合的であることが好ましい。また、1CのLDD構造に比べ、活性化アニールにより、多結晶シリコン中の不純物の横拡散量が大きいので、活性化アニール温度を900℃以下に下げたり、あらかじめ横拡散量を見込んでLoffset量を大きくするプロセスが重要となる。

【0017】また、本構造はNchTFTに的をしぼり説明して来たがPchTFTにおいても同様のことが言える。

【0018】

【発明の効果】以上述べた本発明により、LDD領域のLoffset量を0、1-1 μ mとしたことで、1ONを維持したまま1OFFの低下が可能となる一方、バラツキをおさえることもできる。LDD領域の濃度は、低濃度ほど1OFFが低下し、H2プラズマ処理はさらに1OFFを低下し、1ONの向上をもたらした。これにより、画素サイズ数10 μ mの保持特性、書き込み特性が満足できる高精細液晶パネル用画素駆動TFTが可能になった。

【0019】一方、ゲート長を現状品に比べ、3-4 μ m短くすることができるため、高集積の駆動回路を絶縁基板上に構成できるという長所もある。

【図面の簡単な説明】

【図1】本発明のTFT構造を示す断面図。

【図2】本発明のTFTの1ON、1OFFのLoffset依存性を示す図。

【図3】本発明のTFTの1ON、1OFFのLDD領域の

不純物濃度依存性を示す図。

【図4】本発明のTFTのI_{OFF}のゲート長依存性を示す図。

【図5】

【図6】本発明のLDD構造のTFTのプロセスチャート。

【図7】本発明のTFTのV_{GS}-V_{DS}特性を示す図。

【符号の説明】

1 絶縁性基板

2 ソース・ドレイン領域（低抵抗不純物領域）

3 チャンネル領域（能動領域）

4 LDD領域（高抵抗不純物領域）

5 ゲート絶縁膜

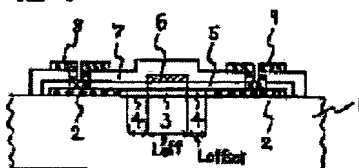
6 ゲート電極

7 層間絶縁膜

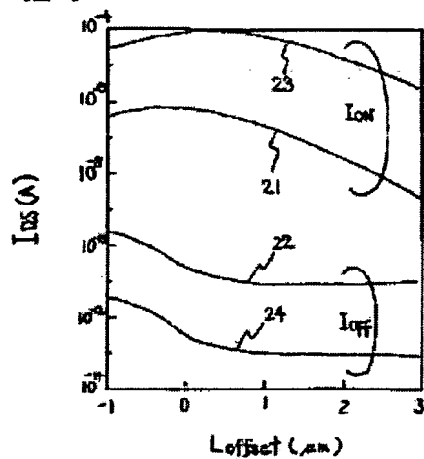
8 ソース電極

9 ドレイン電極

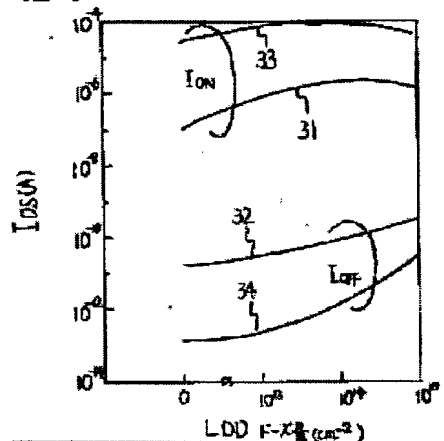
【図1】



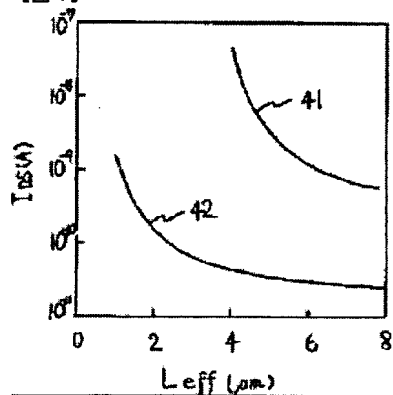
【図2】



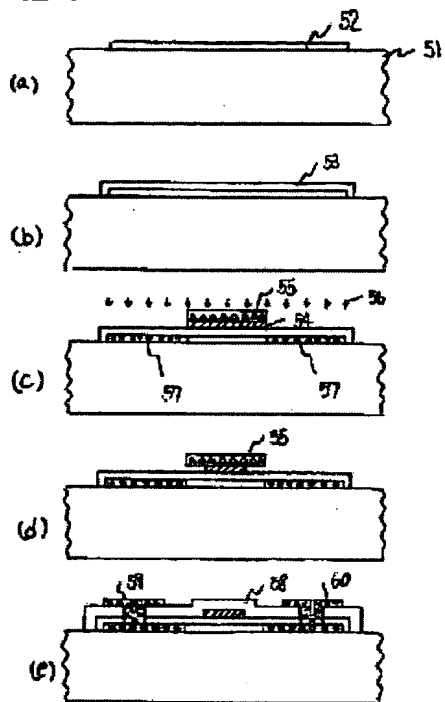
【図3】



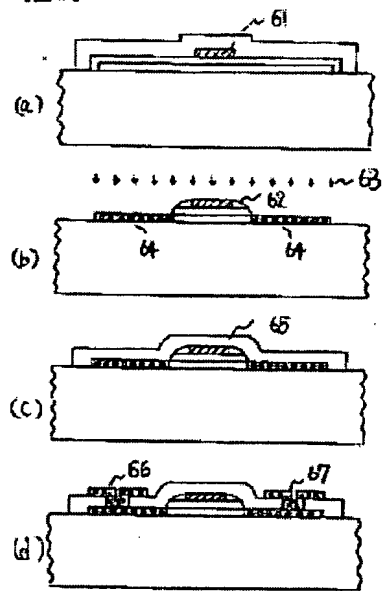
【図4】



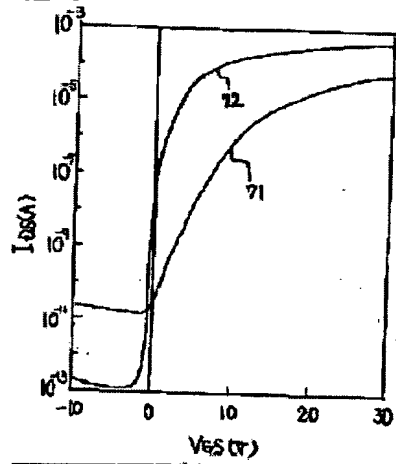
【図5】



【図6】



【図7】



THIS PAGE BLANK (USPTO)